रजिस्ट्री सं. डी.एल.- 33004/99 REGD. No. D. L.-33004/99

भारत का राजपत्र
The Gazette of India

सी.जी.-डी.एल.-अ.-31082026-275860
CG-DL-E-31082026-275860

असाधारण
EXTRAORDINARY

भाग I—खण्ड 1
PART I—Section 1

प्राधिकार से प्रकाशित
PUBLISHED BY AUTHORITY

सं. 235] नई दिल्ली, सोमवार, अगस्त 31, 2026/भाद्र 9, 1948
No. 235] NEW DELHI, MONDAY, AUGUST 31, 2026/ BHADRA 9, 1948

इलेक्ट्रानिकी और सूचना प्रौद्योगिकी मंत्रालय

(आईपीएचडब्ल्यू विभाग)

अधिसूचना

नई दिल्ली, 31 अगस्त, 2026

विषय: सेमिकॉन 2.0 – भारत में सेमीकंडक्टर डिजाइन एवं विनिर्माण पारिस्थितिकी तंत्र के विकास हेतु योजना

फा. सं. डब्ल्यू-38/6/2025-आईपीएचडब्ल्यू.—1. पृष्ठभूमि

1.1 राष्ट्रीय इलेक्ट्रॉनिक्स नीति 2019 (NPE 2019) का दृष्टिकोण भारत को इलेक्ट्रॉनिक्स सिस्टम डिज़ाइन एवं विनिर्माण (ESDM) के क्षेत्र में वैश्विक केंद्र के रूप में स्थापित करने का है, जिसके लिए उद्योग को वैश्विक स्तर पर प्रतिस्पर्धा करने हेतु सक्षम वातावरण तैयार किया जा रहा है। NPE 2019 के अंतर्गत एक प्रमुख रणनीति सेमीकंडक्टर वेफ़र फैब्रिकेशन सुविधाओं की स्थापना को सुगम बनाना तथा सेमीकंडक्टर चिप्स के डिज़ाइन एवं विनिर्माण हेतु संबंधित पारिस्थितिकी तंत्र का विकास करना है।

1.2 इलेक्ट्रॉनिक्स और सेमीकंडक्टर मूलभूत उद्योग हैं तथा राष्ट्र के लिए रणनीतिक दृष्टि से भी अत्यंत महत्वपूर्ण हैं। पहले सेमिकॉन इंडिया कार्यक्रम के अंतर्गत दी गई स्वीकृतियों ने सेमीकंडक्टर उद्योग में उल्लेखनीय रुचि उत्पन्न की है तथा सेमीकंडक्टर पारिस्थितिकी तंत्र में अपस्ट्रीम उत्पादों की उल्लेखनीय माँग भी बढ़ाई है। इस गति को आगे बढ़ाते हुए, सरकार ने भारत में सेमीकंडक्टर क्षेत्र को सतत नीति-समर्थन प्रदान करने का निर्णय लिया है और "सेमिकॉन

2.0 – भारत में सेमीकंडक्टर डिज़ाइन एवं विनिर्माण पारिस्थितिकी तंत्र के विकास हेतु योजना" अधिसूचित की है। सेमिकॉन 2.0 सेमीकंडक्टर उद्योग की संपूर्ण मूल्य श्रृंखला के विभिन्न वर्टिकल्स को वित्तीय समर्थन प्रदान करता है जिसमें चिप डिज़ाइन, फैब्रिकेशन और पैकेजिंग से लेकर पारिस्थितिकी तंत्र के अन्य विभिन्न खंड सम्मिलित हैं।

2. उद्देश्य

एक आत्मनिर्भर और वैश्विक स्तर पर प्रतिस्पर्धी सेमीकंडक्टर चिप डिजाइन एवं विनिर्माण पारिस्थितिकी तंत्र का निर्माण करना, जो सभी क्षेत्रों में आर्थिक विकास का समर्थन करता है, आपूर्ति श्रृंखला की सुदृढ़ता बढ़ाकर राष्ट्रीय सुरक्षा को सुदृढ़ **और महत्वपूर्ण क्षेत्रों में तकनीकी नेतृत्व भी स्थापित करता है।**

3. इस योजना के तहत पात्र वर्टिकल को 6 स्तंभों और 10 (दस) श्रेणियों में विभाजित किया गया है।

3.1 स्तंभ 1 (डिजाइन): श्रेणी 1: राष्ट्रीय महत्व और रणनीतिक प्राथमिकताओं के लिए सेमीकंडक्टर Ips, चिप्स, सिस्टम-ऑन-चिप्स (SoCs) और मॉड्यूल का डिजाइन

3.1.1 उद्देश्य: राष्ट्रीय रणनीतिक एवं महत्त्वपूर्ण अवसंरचना के लिए लक्षित खंड प्रौद्योगिकियों के डिज़ाइन, विकास और परिनियोजन पर ध्यान केंद्रित करते हुए, सुदृढ़, विश्वसनीय और स्वायत्त सेमीकंडक्टर प्रौद्योगिकियों का निर्माण करना।

3.1.2 लक्ष्य खंड: सेमीकंडक्टर इंटेलेक्चुअल प्रॉपर्टी (IP) कोर, चिप्स, सिस्टम-ऑन-चिप्स (SoCs), और इलेक्ट्रॉनिक उत्पादों के लिए मॉड्यूल्स का डिज़ाइन, जो समय-समय पर राष्ट्रीय महत्व और रणनीतिक प्राथमिकताओं के आधार पर पहचाने जाएँगे। इसे प्राप्त करने के लिए, बिल्डिंग ब्लॉक्स विकसित किए जाएंगे, जिनमें विभिन्न प्रकार के कंप्यूट, मेमोरी, RF, पावर, नेटवर्किंग, सेंसर आदि के लिए मानक Ips शामिल होंगे।

3.1.3 पात्रता:

(i) भारत में निगमित और मुख्यालय वाली कंपनियां, जिनकी देश के भीतर उल्लेखनीय परिचालन और जनशक्ति उपस्थिति है तथा जो भारतीय नागरिकों के स्वामित्व और नियंत्रण में हैं, भाग लेने के लिए पात्र होंगी।

(ii) ऐसी कंपनियां या तो स्वतंत्र रूप से अथवा वैश्विक कंपनियों, अनुसंधान एवं विकास संगठनों, शैक्षणिक संस्थानों आदि के साथ कंसोर्टियम मोड में भाग ले सकती हैं।

3.1.4 अन्य शर्तें:

(i) कार्यान्वयन कंपनी विकसित सेमीकंडक्टर समाधानों के दीर्घकालिक अपग्रेड, समर्थन और अनुरक्षण प्रदान करने के लिए जिम्मेदार होगी।

(ii) कार्यान्वयन कंपनी सुरक्षा, निर्यात नियंत्रण, विदेशी अधिग्रहण या नियंत्रण और अन्य रणनीतिक विचारों से संबंधित भारत सरकार के नियमों और निर्देशों का पालन करेगी।

(iii) IP अधिकार आवेदक कंपनी और सी-डैक के सह-स्वामित्व में होंगे। सी-डैक इन सह-स्वामित्व वाले IP का व्यावसायिक रूप से उपयोग तब तक नहीं करेगा जब तक कि आवेदक कंपनी अपने संविदात्मक दायित्वों का निर्वहन करने में विफल नहीं हो जाती।

3.1.5 कार्यान्वयन तंत्र और वित्तीय सहायता:

(i) पहचान की गई लक्षित खंड प्रौद्योगिकियों के विकास हेतु प्रस्ताव के लिए अनुरोध (आरएफपी) सी-डैक द्वारा जारी किया जाएगा, जिसमें वित्तीय सहायता और चिप डिजाइन अवसंरचना के समर्थन, परियोजना की अवधि, प्रस्तुति समयसीमा तथा अन्य प्रासंगिक नियम एवं शर्तें जैसे पहलुओं का विवरण दिया जाएगा। सफल बोलीदाता का चयन प्रतिस्पर्धी बोली प्रक्रिया के माध्यम से किया जाएगा।

(ii) तकनीकी एवं वित्तीय मापदंडों के आधार पर सी-डैक द्वारा आवेदनों का मूल्यांकन किया जाएगा, और आरएफपी के अनुमोदित नियमों एवं शर्तों के आधार पर वित्तीय सहायता वितरित की जाएगी।

3.2 स्तंभ 1 (डिजाइन): श्रेणी 2: वाणिज्यिक क्षेत्र के लिए सेमीकंडक्टर Ips, चिप्स और SoCs का डिजाइन

3.2.1 उद्देश्य: भारत को फैबलेस सेमीकंडक्टर चिप डिजाइन के लिए वैश्विक स्तर पर प्रतिस्पर्धी केंद्र के रूप में स्थापित करना, नवाचार को बढ़ावा देना, वित्तीय और चिप डिजाइन अवसरंचना का विस्तार करके इंटेलेक्चुअल प्रॉपर्टी और उत्पाद स्वामित्व का निर्माण करना, साथ ही घरेलू सेमीकंडक्टर चिप डिजाइन कंपनियों के लिए उद्यम पूंजी वित्त पोषण को गति देना।

3.2.2 लक्ष्य खंड: वाणिज्यिक क्षेत्र में नियोजित किए जाने वाले इलेक्ट्रॉनिकी उत्पादों के लिए सेमीकंडक्टर Ips, चिप्स और सिस्टम-ऑन-चिप्स (SoCs) का डिजाइन और विकास।

3.2.3 पात्रता:

(i) भारत में निगमित और मुख्यालय वाली कंपनियां, जिनकी देश के भीतर उल्लेखनीय परिचालन और जनशक्ति उपस्थिति है, और भारतीय नागरिकों या भारत के प्रवासी नागरिकों (OCI) के स्वामित्व और नियंत्रण में हैं, भाग लेने के लिए पात्र होंगी।

(ii) ऐसी कंपनियां या तो स्वतंत्र रूप से अथवा वैश्विक कंपनियों, अनुसंधान एवं विकास संगठनों और शैक्षणिक संस्थानों के साथ कंसोर्टियम मोड में भाग ले सकती हैं।

3.2.4 अन्य शर्तें:

(i) कार्यान्वयन कंपनी सुरक्षा, निर्यात नियंत्रण, विदेशी अधिग्रहण या नियंत्रण और अन्य रणनीतिक विचारों से संबंधित भारत सरकार के नियमों और निर्देशों का पालन करेगी।

(ii) IP अधिकार तथा उससे संबंधित सभी डिजाइन और विकास फाइलें भारत के भीतर ही रहेंगी।

(iii) पात्र आवेदक अनुसंधान, विकास और नवाचार (RDI) योजना के तहत भी लाभ उठा सकते हैं।

3.2.5 वित्तीय सहायता:

(i) इस श्रेणी के तहत वित्तीय सहायता और इसका परिमाण निम्नानुसार है:

क्र. सं	सहायता संरचना	#	योग्य आवेदक	सहायता की श्रेणी और इसका परिमाण	सहायता का तरीका
1	**डिजाइन इन्फ्रास्ट्रक्चर सहायता (DIS)**	(क)	भारतीय शैक्षणिक संस्थान तथा पात्र स्टार्टअप और MSMEs	राष्ट्रीय EDA टूल्स ग्रिड तक केंद्रीकृत पहुंच	विक्रेता कंपनियों के साथ संबंधित अनुबंधों के नियमों और शर्तों के अनुसार पात्र संगठनों को पहुंच प्रदान की जाएगी।
		(ख)		मल्टी-प्रोजेक्ट वेफर (MPW) निर्माण सेवाओं के लिए केंद्रीकृत पहुंच	
		(ग)	उपरोक्त अनुच्छेद 3.2.3 के अनुसार सभी पात्र आवेदक	IP कोर	
		(घ)		कम्प्यूट सब- सिस्टम्स (CSS)	
		(ङ)		पोस्ट-सिलिकॉन वैलिडेशन सेवाओं तक पहुँच	
2	**उत्पाद डिजाइन लिंक्ड प्रोत्साहन (P-DLI)**	(क)	योग्य स्टार्ट-अप्स/MSMEs	सीड फंडिंग (₹15 करोड़ तक)	परियोजना लागत के 50 प्रतिशत या ₹15 करोड़, जो भी कम हो, की राशि की माइलस्टोन-लिंक्ड एडवांस सीड फंडिंग प्रति आवेदन प्रदान की जाएगी।
				इक्विटी सह-निवेश (₹15 करोड़ से अधिक)	इक्विटी सह-निवेश उन कंपनियों को प्रदान किया जाएगा जिन्होंने वेंचर कैपिटल (VC) और/या प्राइवेट इक्विटी (PE) निवेशकों से वित्त पोषण प्राप्त किया है, जो VC/PE निवेशकों द्वारा पेश किए गए नियमों और शर्तों के अधीन होगा।
		(ख)	**पात्र कंपनियां** (उपरोक्त अनुच्छेद 3.2.3 के अनुसार) स्टार्ट-अप्स/	रॉयल्टी वित्तपोषण	कंपनियों को सह-निवेश के आधार पर रॉयल्टी वित्तपोषण प्रदान किया जाएगा, इस शर्त के अधीन कि लाभार्थी

			MSMEs को छोड़कर		कंपनी अपने उत्पाद/ प्रौद्योगिकी की शुद्ध आय (नेट रेवेन्यू) का 5 प्रतिशत रॉयल्टी के रूप में भुगतान करेगी जब तक कि प्रदान की गई वित्तीय सहायता का 1.5 गुना राशि प्राप्त नहीं हो जाती
				इक्विटी सह-निवेश	इक्विटी सह-निवेश उन कंपनियों को प्रदान किया जाएगा जिन्होंने वेंचर कैपिटल (VC) और/या प्राइवेट इक्विटी (PE) निवेशकों से वित्त पोषण प्राप्त किया है, जो VC/PE निवेशकों द्वारा पेश किए गए नियमों और शर्तों के अधीन होगा

(ii) **निकास विकल्प:** लाभार्थी कंपनी, निम्नलिखित शर्तों के अधीन, किसी भी वित्तपोषण तंत्र से या तो अपने स्वयं के विवेक पर, अथवा योजना के अंतर्गत पात्रता या अन्य शर्तों को पूरा करना बंद कर देने पर, बाहर निकल सकती है:

(क) **सीड फंडिंग या इक्विटी सह-निवेश:** जिन कंपनियों ने सीड फंडिंग और/या इक्विटी सह-निवेश सहायता प्राप्त की है, वे सरकार द्वारा प्रदान की गई कुल सीड फंडिंग की राशि तथा सरकार के पास धारित इक्विटी के प्रचलित बाज़ार मूल्य के समतुल्य राशि, अथवा प्रदान की गई कुल वित्तीय सहायता (जिसमें सीड फंडिंग और इक्विटी सह-निवेश शामिल हैं) की 1.5 गुना राशि, जो भी अधिक हो, का भुगतान करके निकास (एग्ज़िट) कर सकती हैं।

(ख) **रॉयल्टी वित्तपोषण:** रॉयल्टी वित्तपोषण का विकल्प चुनने वाली कंपनियाँ, यदि अंतिम किस्त के वितरण की तिथि से चार (4) वर्षों के भीतर निकास (एग्ज़िट) करती हैं, तो उन्हें प्रदान की गई वित्तीय सहायता की 1.5 गुना राशि का पुनर्भुगतान करना होगा; अथवा यदि निकास अंतिम किस्त के वितरण की तिथि से चार (4) वर्षों के बाद होता है, तो उन्हें प्रदान की गई वित्तीय सहायता की दो (2) गुना राशि का पुनर्भुगतान करना होगा।

3.3 स्तंभ 1 (डिजाइन): श्रेणी 3: परिनियोजन-आधारित प्रोत्साहन (DLI), सेमीकंडक्टर Ips/चिप्स/SoCs के परिनियोजन हेतु

3.3.1 उद्देश्य: लागत अक्षमताओं को कम करके लक्ष्य खंड प्रौद्योगिकियों के परिनियोजन को बढ़ावा देना ताकि उनकी प्रतिस्पर्धात्मकता में सुधार हो सके।

3.3.2 लक्ष्य खंड: सेमीकंडक्टर इंटेलेक्चुअल प्रॉपर्टी (IP) कोर, चिप्स और सिस्टम-ऑन-चिप्स (SoCs), जिन्हें योजना की घोषणा के बाद पहली बार लॉन्च किया गया हो तथा योजना की घोषणा से पहले आवेदक द्वारा ऐसे उत्पादों की कोई पूर्व बिक्री न की गई हो।

3.3.3 पात्रता: इस योजना की श्रेणी 1 और 2 के तहत पात्र आवेदक इस श्रेणी के तहत आवेदन जमा कर सकते हैं।

3.3.4 वित्तीय सहायता: लक्षित खंडों की शुद्ध बिक्री पर पाँच (5) **वर्षों की अवधि के लिए** 9% **की दर से प्रतिपूर्ति प्रदान की जाएगी। यह प्रोत्साहन प्रति आवेदन अधिकतम ₹30 करोड़ तक सीमित होगा तथा एक ही कंपनी (समूह कंपनियों सहित) को लक्षित खंडों के अंतर्गत विभिन्न उत्पादों के लिए कुल मिलाकर अधिकतम ₹120 करोड़ तक का प्रोत्साहन दिया जा सकेगा।**

3.4 स्तंभ 2 (मशीनें और सामग्री): श्रेणी 4: सेमीकंडक्टर विनिर्माण पारिस्थितिकी तंत्र

3.4.1 उद्देश्य: एक आत्मनिर्भर और वैश्विक **स्तर पर प्रतिस्पर्धी सेमीकंडक्टर विनिर्माण पारिस्थितिकी तंत्र का निर्माण करना तथा इसे वैश्विक** इलेक्ट्रॉनिकी **मूल्य श्रृंखलाओं में** भागीदारी **हेतु सक्षम बनाना।**

3.4.2 लक्ष्य खंड: सेमीकंडक्टर उपकरणों के लिए अनुसंधान एवं विकास सुविधाओं की स्थापना, सेमीकंडक्टर-ग्रेड कच्चे माल के विनिर्माण हेतु सुविधाओं की स्थापना**, साथ ही** सेमीकंडक्टर निर्माण (फैब्रिकेशन) और पैकेजिंग सुविधाओं में उपयोग के लिए **कैपिटल** उपकरणों**,** पुनर्नवीनीकृत उपकरणों**, उनके** उप-असेंबली **और** घटकों का विनिर्माण और/या असेंबली**, तथा** सेमीकंडक्टर परीक्षण एवं विशेषता निर्धारण **सुविधाओं की स्थापना।**

3.4.3 पात्रता और वित्तीय सहायता: परीक्षण एवं विशेषता निर्धारण सुविधा को छोड़कर, आवेदकों से अपेक्षा की जाती है कि वे "प्रस्तावित इकाई के लिए प्रौद्योगिकियों के स्वामी हों या उनके लिए लाइसेंस प्राप्त प्रौद्योगिकियाँ उनके पास उपलब्ध हों।"

पात्र उप-वर्टिकल्स, उनकी पूंजी निवेश सीमा और भारत सरकार से वित्तीय सहायता नीचे सूचीबद्ध हैं:

क्रसं	**पात्र उप-वर्टिकल्स**	**न्यूनतम पूंजी निवेश सीमा**	**न्यूनतम राजस्व सीमा** (*समूह कंपनियों सहित*) **आवेदन जमा करने के वर्ष से पहले तीन वित्त वर्ष में से किसी एक में**	**भारत सरकार से वित्तीय सहायता**
(क)	सेमीकंडक्टर उपकरणों के लिए अनुसंधान एवं विकास सुविधाओं की स्थापना	₹300 करोड़	₹120 करोड़	समतुल्य आधार पर पूंजीगत व्यय का 30%
(ख)	सेमीकंडक्टर ग्रेड कच्चे माल (फ्रंट एंड / बैक-एंड) के लिए विनिर्माण सुविधाओं की स्थापना करना, जैसे, वेफर, फोटो मास्क, फोटोरेसिस्ट, सब्सट्रेट, रसायन, गैसों, सामग्री, डिस्प्ले फैब के लिए ग्लास आदि।	₹50 करोड़	₹20 करोड़	
(ग)	सेमीकंडक्टर परीक्षण एवं विशेषता निर्धारण सुविधाएं	₹100 करोड़	₹40 करोड़	
(घ)	सभी सेमीकंडक्टर निर्माण और पैकेजिंग सुविधाओं में उपयोग के लिए उपकरण/ नवीनीकरण	₹300 करोड़	₹120 करोड़	समतुल्य आधार पर पूंजीगत व्यय का 30% तथा

	उपकरण, उप-असेंबली, घटकों का निर्माण और/या संयोजन			घरेलू विनिर्माताओं से प्राप्त बीओएम मूल्य के 10% / 8% / 6% / 4% / 2% का उत्पादन आधारित प्रोत्साहन (PLI)। PLI प्रोत्साहन वित्त वर्ष 2028-29 से शुरू होने वाले 5 वर्षों के लिए लागू होगा, जो पात्र पूंजीगत व्यय के 50 प्रतिशत की समग्र सीमा के अधीन होगा।

3.5 स्तंभ 3 (अधिक फैब्स की स्थापना): श्रेणी 5: सिलिकॉन सेमीकंडक्टर वेफर फैब्स

3.5.1 उद्देश्य: भारत को आत्मनिर्भर बनाने और वैश्विक इलेक्ट्रॉनिक्स मूल्य श्रृंखलाओं में भागीदारी सुनिश्चित करने हेतु वैश्विक स्तर पर प्रतिस्पर्धी सेमीकंडक्टर फैब्रिकेशन सुविधा का निर्माण करना।

3.5.2 लक्ष्य खंड: सिलिकॉन सेमीकंडक्टर वेफर फैब की स्थापना

3.5.3 पात्रता और वित्तीय सहायता:

प्रौद्योगिकी	**वेफर का आकार**	**स्थापित क्षमता**
	300 mm	40,000 वेफर स्टार्ट / माह या अधिक
परिचालन अनुभव	प्रस्तावित प्रौद्योगिकी प्रक्रिया के लिए उत्पादन ग्रेड लाइसेंस प्राप्त प्रौद्योगिकियों का मालिक या स्वामित्व	
न्यूनतम पूंजी निवेश सीमा	₹20,000 करोड़ का न्यूनतम पूंजी निवेश (₹200 बिलियन)	
न्यूनतम राजस्व सीमा	आवेदन जमा करने के वर्ष से पहले के तीन वित्तीय वर्षों में से किसी में भी ₹7,500 करोड़ (₹75 बिलियन) का न्यूनतम राजस्व (*समूह कंपनियों / संयुक्त उद्यम सहित*)	
भारत सरकार से वित्तीय सहायता	**पात्र पूंजीगत व्यय के प्रतिशत के रूप में वित्तीय सहायता**	
	समतुल्य आधार पर **40%**	

3.6 स्तंभ 3 (अधिक फैब्स की स्थापना): श्रेणी 6: कंपाउंड सेमीकंडक्टर्स/ फोटोनिक्स/ सेंसर (MEMS सहित) फैब/ डिस्क्रीट सेमीकंडक्टर्स फैब

3.6.1 उद्देश्य: भारत को आत्मनिर्भर बनाने और वैश्विक इलेक्ट्रॉनिक्स मूल्य श्रृंखलाओं में भागीदारी सुनिश्चित करने हेतु विभिन्न प्रौद्योगिकियों में वैश्विक स्तर पर प्रतिस्पर्धी सेमीकंडक्टर विनिर्माण सुविधा का निर्माण करना।

3.6.2 लक्ष्य खंड: कंपाउंड सेमीकंडक्टर्स/ फोटोनिक्स/ सेंसर (MEMS सहित) फैब/ डिस्क्रीट सेमीकंडक्टर्स फैब स्थापित करना।

3.6.3 पात्रता और वित्तीय सहायता:

वेफर का आकार	200 mm या अधिक	सेंसर (MEMS सहित) फैब्स
	150 mm या अधिक	कंपाउंड सेमीकंडक्टर्स और डिस्क्रीट फैब
	100 mm या अधिक	फोटोनिक्स अनुप्रयोगों के लिए फैब
क्षमता	500 वेफर स्टार्ट / माह या अधिक	
परिचालन अनुभव	प्रस्तावित प्रौद्योगिकी प्रक्रिया के लिए उत्पादन ग्रेड लाइसेंस प्राप्त प्रौद्योगिकियों का मालिक या स्वामित्व	
न्यूनतम पूंजी निवेश सीमा	₹500 करोड़ का न्यूनतम पूंजी निवेश (₹5 बिलियन)	

न्यूनतम राजस्व सीमा	आवेदन जमा करने के वर्ष से पहले के तीन वित्तीय वर्षों में से किसी में भी ₹200 करोड़ (₹2 बिलियन) का न्यूनतम राजस्व (*समूह कंपनियों / संयुक्त उद्यम सहित*)
भारत सरकार से वित्तीय सहायता	**पात्र पूंजीगत व्यय के प्रतिशत के रूप में वित्तीय सहायता**
	समतुल्य आधार पर **35%**

3.7 स्तंभ 3 (अधिक फैब्स की स्थापना): श्रेणी 7: डिस्प्ले फैब्स:

3.7.1 उद्देश्य: लक्ष्य **खंड के लिए एक आत्मनिर्भर और वैश्विक स्तर पर प्रतिस्पर्धी डिस्प्ले पारिस्थितिकी तंत्र का निर्माण करना और इस प्रकार वैश्विक इलेक्ट्रॉनिक्स मूल्य श्रृंखलाओं में भाग लेना।**

3.7.2 लक्ष्य खंड: OLED, **माइक्रो** LED **और** LCD **सहित प्रौद्योगिकियों के आधार पर डिस्प्ले फैब की स्थापना।**

3.7.3 पात्रता और वित्तीय सहायता:

प्रौद्योगिकी	**OLED (जनरेशन 6 या उससे ऊपर)**
क्षमता	30,000 पैनल / माह या अधिक
परिचालन अनुभव	प्रस्तावित प्रौद्योगिकी प्रक्रिया के लिए उत्पादन ग्रेड लाइसेंस प्राप्त प्रौद्योगिकियों का मालिक या स्वामित्व
न्यूनतम पूंजी निवेश सीमा	न्यूनतम पूंजी निवेश ₹10,000 करोड़
न्यूनतम राजस्व सीमा	**आवेदन जमा करने के वर्ष से पहले के तीन वित्तीय वर्षों में से किसी में भी ₹**5,000 करोड़ (₹50 बिलियन) का न्यूनतम राजस्व (*समूह कंपनियों / संयुक्त उद्यम सहित*)
भारत सरकार से वित्तीय सहायता	**पात्र पूंजीगत व्यय के प्रतिशत के रूप में वित्तीय सहायता**
	समतुल्य आधार पर **35%**

प्रौद्योगिकी	**माइक्रो LED प्रौद्योगिकी**
क्षमता	500 वर्गमीटर / माह या उससे अधिक का पैनल क्षेत्र
परिचालन अनुभव	प्रस्तावित प्रौद्योगिकी प्रक्रिया के लिए उत्पादन ग्रेड लाइसेंस प्राप्त प्रौद्योगिकियों का मालिक या स्वामित्व
न्यूनतम पूंजी निवेश सीमा	न्यूनतम पूंजी निवेश ₹1,500 करोड़
न्यूनतम राजस्व सीमा	आवेदन जमा करने के वर्ष से पहले के तीन वित्तीय वर्षों में से किसी में भी ₹600 करोड़ (₹6 बिलियन) का न्यूनतम राजस्व *(समूह कंपनियों / संयुक्त उद्यम सहित)*
भारत सरकार से वित्तीय सहायता	**पात्र पूंजीगत व्यय के प्रतिशत के रूप में वित्तीय सहायता**
	समतुल्य आधार पर **35%**

प्रौद्योगिकी	**LCD (जनरेशन 8 या उससे ऊपर)**
क्षमता	60,000 पैनल / माह या अधिक
परिचालन अनुभव	प्रस्तावित प्रौद्योगिकी प्रक्रिया के लिए उत्पादन ग्रेड लाइसेंस प्राप्त प्रौद्योगिकियों का मालिक या स्वामित्व
न्यूनतम पूंजी निवेश सीमा	न्यूनतम पूंजी निवेश ₹10,000 करोड़
न्यूनतम राजस्व सीमा	**आवेदन जमा करने के वर्ष से पहले के तीन वित्तीय वर्षों में से किसी में भी ₹**5,000 करोड़ (₹50 बिलियन) का न्यूनतम राजस्व (*समूह कंपनियों / संयुक्त उद्यम सहित*)
भारत सरकार से वित्तीय सहायता	**पात्र पूंजीगत व्यय के प्रतिशत के रूप में वित्तीय सहायता**
	समतुल्य आधार पर **35%**

3.8 स्तंभ 4 (एटीएमपी/ओएसएटी उद्योग को और सुदृढ़ करना): श्रेणी 8: सेमीकंडक्टर असेंबली, टेस्टिंग, मार्किंग और पैकेजिंग (एटीएमपी) / आउटसोर्स्ड सेमीकंडक्टर असेंबली और टेस्ट (ओएसएटी) सुविधा:

3.8.1 उद्देश्य: एक आत्मनिर्भर और वैश्विक स्तर पर प्रतिस्पर्धी सेमीकंडक्टर एटीएमपी/ओएसएटी सुविधा का निर्माण करना।

3.8.2 लक्ष्य खंड: सेमीकंडक्टर असेंबली, टेस्टिंग, मार्किंग और पैकेजिंग (एटीएमपी) / आउटसोर्स्ड सेमीकंडक्टर असेंबली और टेस्ट (ओएसएटी) सुविधा की स्थापना।

3.8.3 पात्रता और वित्तीय सहायता:

श्रेणी	**एडवांस्ड पैकेजिंग (2.5D/3D पैकेजिंग, वेफर-लेवल चिप स्केल पैकेजिंग, हेटेरोजीनस इंटीग्रेशन) और एडवांस्ड सब्सट्रेट**
परिचालन अनुभव	**प्रस्तावित प्रौद्योगिकी प्रक्रिया** के लिए उत्पादन ग्रेड **लाइसेंस प्राप्त प्रौद्योगिकियों का** मालिक या स्वामित्व
न्यूनतम पूंजी निवेश सीमा	**₹1000 करोड़ का न्यूनतम पूंजी निवेश**
न्यूनतम राजस्व सीमा	**आवेदन जमा करने के वर्ष से पहले के तीन वित्तीय वर्षों में से किसी में भी ₹200** करोड़ का न्यूनतम राजस्व (*समूह कंपनियों / संयुक्त उद्यम सहित*)
भारत सरकार से वित्तीय सहायता	**पात्र पूंजीगत व्यय के प्रतिशत के रूप में वित्तीय सहायता**
	समतुल्य आधार पर **35%**

श्रेणी	**लेगसी पैकेजिंग**
परिचालन अनुभव	**प्रस्तावित प्रौद्योगिकी प्रक्रिया** के लिए उत्पादन ग्रेड **लाइसेंस प्राप्त प्रौद्योगिकियों का** मालिक या स्वामित्व
न्यूनतम पूंजी निवेश सीमा	**₹1000 करोड़ का न्यूनतम पूंजी निवेश**
न्यूनतम राजस्व सीमा	**आवेदन जमा करने के वर्ष से पहले के तीन वित्तीय वर्षों में से किसी में भी ₹200** करोड़ (₹2 बिलियन) का न्यूनतम राजस्व (*समूह कंपनियों / संयुक्त उद्यम सहित*)
भारत सरकार से वित्तीय सहायता	**पात्र पूंजीगत व्यय के प्रतिशत के रूप में वित्तीय सहायता**
	समतुल्य आधार पर 25%

3.9 स्तंभ 5 (अनुसंधान एवं विकास): श्रेणी 9: उन्नत सेमीकंडक्टर प्रौद्योगिकियों के लिए अनुसंधान एवं विकास

3.9.1 उद्देश्य: देश में सेमीकंडक्टर और डिस्प्ले मैन्युफैक्चरिंग प्रौद्योगिकियों में अनुसंधान एवं विकास क्षमता को सुदृढ़ करना।

3.9.2 लक्ष्य खंड: CMOS-आधारित फैब्रिकेशन, सिलिकॉन फोटोनिक्स, डिस्प्ले फैब्रिकेशन, एडवांस्ड पैकेजिंग के लिए चिपलेट-आधारित प्रौद्योगिकियों या सेमीकंडक्टरों से संबंधित किसी भी अन्य उन्नत प्रौद्योगिकियों के लिए उन्नत प्रक्रिया प्रौद्योगिकियों सहित प्रौद्योगिकियों का विकास करना।

3.9.3 पात्रता: सेमीकंडक्टर कंपनियां, या तो स्वयं अथवा शैक्षणिक संस्थानों या अनुसंधान एवं विकास संगठनों आदि के साथ गठबंधन (कंसोर्टियम) में।

3.9.4 वित्तीय सहायता: परियोजना लागत (कैपेक्स और ओपेक्स) का 75% तक (राज्य प्रोत्साहन सहित), जिसमें पात्र पूंजीगत व्यय और परिचालन व्यय शामिल होंगे। आवश्यकतानुसार इसमें अनुसंधान, विकास और नवाचार (RDI) योजना के अंतर्गत आंशिक वित्त पोषण भी सम्मिलित किया जा सकता है। नोडल एजेंसी द्वारा वित्तीय सहायता के लिए प्रस्तावों पर विचार किया जाएगा।

3.9.5 इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्री के अनुमोदन से पात्रता मानदंड, वित्तीय सहायता आदि के बारे में विवरण वाले अलग-अलग दिशा-निर्देश जारी किए जाएंगे।

3.10 स्तंभ 6 (प्रतिभा विकास): श्रेणी 10: प्रतिभा विकास

3.10.1 उद्देश्य: स्नातक, स्नातकोत्तर, डॉक्टरेट और शॉप-फ्लोर स्तर के तकनीशियन/ऑपरेटरों तक विस्तृत डिजाइन, फैब्रिकेशन और पैकेजिंग डोमेन और संबंधित पारिस्थितिकी तंत्र में कुशल पेशेवरों का पोषण करके भारत में एक सुदृढ़, बहु-स्तरीय सेमीकंडक्टर प्रतिभा पारिस्थितिकी तंत्र विकसित करना, जिससे सेमीकंडक्टर उद्योग में आत्मनिर्भरता, वैश्विक प्रतिस्पर्धात्मकता और निरंतर नवाचार को सक्षम किया जा सके।

3.10.2 लक्ष्य खंड:

(i) **डिजाइन:** क्षमता निर्माण परियोजनाओं सहित उन्नत चिप डिजाइन उपकरण, मल्टी-प्रोजेक्ट वेफर (MPW) निर्माण सेवाओं, पोस्ट-सिलिकॉन सत्यापन उपकरण आदि तक पहुंच प्रदान करना।

(ii) **विनिर्माण:** समर्पित प्रशिक्षण अवसरंचना की स्थापना और समर्थन करना और शॉप-फ्लोर जनशक्ति के व्यावहारिक प्रशिक्षण के लिए मौजूदा अवसरंचना का लाभ उठाना और समर्थन करना, और व्यावहारिक, उद्योग-प्रासंगिक प्रशिक्षण प्रदान करने के लिए मौजूदा राष्ट्रीय नैनोफैब्रिकेशन और प्रक्रिया प्रयोगशालाओं को सुदृढ़ करना।

3.10.3 पात्रता: भारतीय शैक्षणिक संस्थान, अनुसंधान एवं विकास संगठन और प्रयोगशालाएं, वैज्ञानिक संस्थाएं, घरेलू प्रशिक्षण संस्थान/संगठन।

3.10.4 वित्तीय सहायता: परियोजना लागत (कैपेक्स और ओपेक्स) का 75% तक (राज्य प्रोत्साहन सहित), जिसमें पात्र पूंजीगत व्यय और परिचालन व्यय शामिल होंगे। नोडल एजेंसी द्वारा वित्तीय सहायता के लिए प्रस्तावों पर विचार किया जाएगा।

3.10.5 इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्री के अनुमोदन से पात्रता मानदंड, वित्तीय सहायता के प्रतिशत आदि के बारे में विवरण वाले अलग-अलग दिशा-निर्देश जारी किए जाएंगे।

4. परियोजना की अवधि: इस योजना के अंतर्गत समर्थित परियोजनाओं की अवधि, परियोजना-से-परियोजना आधार पर निर्धारित की जाएगी, जो अधिमानतः 6 वर्ष तक हो सकती है।

5. आवेदन प्रक्रिया: यह योजना प्रारंभिक रूप से तीन (3) वर्षों की अवधि के लिए आवेदनों के लिए खुली रहेगी। आवेदन नोडल एजेंसी के पोर्टल के माध्यम से आवेदन विंडो के दौरान जमा किए जाने हैं।

6. नोडल एजेंसी

6.1 इंडिया सेमीकंडक्टर मिशन (आईएसएम) सेमीकॉन 2.0 के लिए नोडल एजेंसी होगी। नोडल एजेंसी सी-डैक की मदद से IPs/चिप्स/SoCs के डिजाइन और परिनियोजन से संबंधित तीन श्रेणियों को कार्यान्वित कर सकती है।

6.2 आईएसएम आवेदन आमंत्रित करने, योजना के तहत प्राप्त आवेदनों का तकनीकी और वित्तीय मूल्यांकन करने; आवेदकों के चयन की अनुशंसा करने; तथा समय-समय पर इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय द्वारा सौंपे गए अन्य दायित्वों का निर्वहन करने के लिए उत्तरदायी होगी।

6.3 विशिष्ट विकास और नवाचार की संस्कृति को बढ़ावा देने हेतु, आईएसएम वर्ष 2026 से सेमीकंडक्टर डीप टेक पुरस्कार की घोषणा कर सकता है।

7. आवेदक(ओं) की स्वीकृति

7.1 **नोडल एजेंसी द्वारा मूल्यांकन**: आवेदक(ओं) का मूल्यांकन नोडल एजेंसी द्वारा निरंतर आधार पर किया जाएगा। मूल्यांकन में वित्तीय और तकनीकी मानकों जैसे प्रक्रिया प्रौद्योगिकियां, परियोजना कार्यान्वयन क्षमता, संचालन क्षमता, ऑफटेक आदि शामिल होंगे।

7.2 मूल्यांकन/आकलन के बाद, आवेदनों को नोडल एजेंसी द्वारा इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय को अग्रेषित किया जाएगा।

7.3 सेमीकंडक्टर डिजाइन श्रेणियों और प्रतिभा विकास के लिए नोडल एजेंसी द्वारा अनुशंसित ऐसे प्रस्ताव जिनकी परियोजना लागत ₹100 करोड़ से कम होगी, उन्हें इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय के सचिव द्वारा

अनुमोदित किया जाएगा। जिन परियोजनाओं की लागत ₹100 करोड़ से अधिक तथा ₹500 करोड़ तक होगी, उन्हें इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्री द्वारा अनुमोदित किया जाएगा। जिन परियोजनाओं की लागत ₹500 करोड़ से अधिक होगी, उनके प्रस्तावों को नोडल एजेंसी की अनुशंसा पर इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय द्वारा मंत्रिमंडल के अनुमोदन हेतु प्रस्तुत किया जाएगा।

7.4 अन्य सभी श्रेणियों के लिए, नोडल एजेंसी द्वारा अनुशंसित प्रस्तावों को इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय द्वारा मंत्रिमंडल के अनुमोदन हेतु प्रस्तुत किया जाएगा। केंद्रीय मंत्रिमंडल द्वारा अनुमोदन प्रदान किए जाने के पश्चात, इन प्रस्तावों को इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय द्वारा आवेदक(ओं) को सूचित करने हेतु नोडल एजेंसी को अग्रेषित किया जाएगा।

8. **प्रोत्साहनों का संवितरण:** इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय अनुमोदित आवेदक(ओं) को योजनाओं के अंतर्गत वित्तीय सहायता के वितरण हेतु बजटीय प्रावधान करेगा। वित्तीय सहायता का संवितरण नोडल एजेंसी द्वारा अनुमोदन की शर्तों के आधार पर किया जाएगा।

9. **प्रभाव मूल्यांकन**: योजनाओं का मध्यावधि मूल्यांकन उनके कार्यान्वयन के तीन वर्ष पश्चात अथवा आवश्यकता के अनुसार किया जाएगा, ताकि योजनाओं के प्रभाव का आकलन किया जा सके। ऐसे प्रभाव मूल्यांकन के आधार पर, योजना को जारी रखने/संशोधित करने का निर्णय लिया जा सकता है।

10. **योजना दिशानिर्देश:** योजना के दिशा-निर्देश इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्रालय (एमईआईटीवाई) द्वारा अलग से जारी किए जाएंगे।

11. **योजना और दिशानिर्देशों में संशोधन:** योजना और इसके दिशानिर्देशों की समीक्षा एवं संशोधन समय-समय पर या आवश्यकता के अनुसार इलेक्ट्रॉनिकी और सूचना प्रौद्योगिकी मंत्री के अनुमोदन से किया जा सकता है।

सुशील पाल, संयुक्त सचिव

MINISTRY OF ELECTRONICS AND INFORMATION TECHNOLOGY

(IPHW Division)

NOTIFICATION

New Delhi, the 31st August, 2026

Subject: Semicon 2.0 - Scheme for development of Semiconductor Design and Manufacturing Ecosystem in India

F. No. W-38/6/2025-IPHW —1. Background

1.1. The National Policy on Electronics 2019 (NPE 2019) envisions positioning India as a global hub for Electronics System Design and Manufacturing (ESDM) by creating an enabling environment for the industry to compete globally. A key strategy under NPE 2019 is to facilitate the establishment of semiconductor wafer fabrication facilities and the associated ecosystem for the design and fabrication of semiconductor chips.

1.2. Electronics and Semiconductors are foundational industries and are also of strategic importance for the country. Approvals under first Semicon India Programme have generated significant interest in the semiconductor industry and has also led to significant demand for upstream products in semiconductor ecosystem. Building on this momentum, the Government has decided to provide and the sustained policy support to the semiconductor sector in India by notifying the “Semicon 2.0” – Scheme for the development of Semiconductor Design and Manufacturing Ecosystem in India. Semicon 2.0 provides fiscal support to various verticals across the complete value chain of the semiconductor industry, ranging from chip design, fabrication and packaging to various segments of the semiconductor ecosystem.

2. Objective

To build a self-reliant and globally competitive semiconductor chip design and manufacturing ecosystem that supports economic growth across all sectors, strengthens national security by enhancing supply chain resilience and also establishes technological leadership in critical sectors.

3. The eligible verticals under the Scheme have been divided into 6 pillars and 10 (ten) categories.

3.1. Pillar 1 (Design): Category 1: Design of Semiconductor IPs, Chips, System-on-Chips (SoCs), and Modules for National Importance and Strategic Priorities

3.1.1. Objective: To build resilient, trusted, and sovereign semiconductor technologies by focusing on designing, development, and deployment of target segment technologies for the national strategic and critical infrastructure.

3.1.2. Target Segment: Semiconductor Intellectual Property (IP) cores, Chips, System-on-Chips (SoCs), and Modules for electronic products, as may be identified from time to time based on national importance and strategic priorities. To achieve this, building blocks will be developed, including standard IPs for various types of Compute, Memory, RF, Power, Networking, Sensors, etc.

3.1.3. Eligibility:

(i) Companies incorporated and headquartered in India, having a significant operational and manpower presence within the country, and that are owned and controlled by Indian citizens, shall be eligible to participate.

(ii) Such companies may participate either independently or in consortium mode with global companies, R&D organisations, academic institutions, etc.

3.1.4. Other Conditions:

(i) The implementing company shall be responsible for providing long-term upgrades, support, and maintenance of the semiconductor solutions developed.

(ii) The implementing company will comply with Government of India rules and directives related to security, export control, foreign acquisition or control, and other strategic considerations.

(iii) The IP rights will be co-owned by the applicant company and CDAC. CDAC will not commercially use the co-owned IP until the applicant company fails to discharge its contractual obligations.

3.1.5. Implementation Mechanism and Fiscal Support:

(i) Request for Proposal (RfP) for the development of identified target segment technologies shall be issued by C-DAC, detailing aspects such as fiscal support and chip design infrastructure support, project duration, submission timelines, and other relevant terms and conditions. The selection of the successful bidder will be done through a competitive bidding process.

(ii) The applications will be evaluated by the C-DAC based on technical and financial parameters, and fiscal support will be disbursed based on approved terms and conditions of the RfP.

3.2. Pillar 1 (Design): Category 2: Design of Semiconductor IPs, Chips and SoCs for the Commercial Sector

3.2.1. Objective: To position India as a globally competitive hub for fabless semiconductor chip design, fostering innovation, creation of intellectual property and product ownership by way of extending fiscal and chip design infrastructure support, as well as catalysing venture capital funding for domestic semiconductor chip design companies.

3.2.2. Target Segment: Design and development of semiconductor IPs, Chips and System-on-Chips (SoCs) for electronics products targeted to be deployed in the commercial sector.

3.2.3. Eligibility:

(i) Companies incorporated and headquartered in India, having a significant operational and manpower presence within the country, and owned and controlled by Indian citizens or Overseas Citizens of India (OCIs), shall be eligible to participate.

(ii) Such companies may participate either independently or in consortium mode with global companies, R&D organisations, and academic institutions.

3.2.4. Other Conditions:

(i) The implementing company will comply with Government of India rules and directives related to security, export control, foreign acquisition or control, and other strategic considerations.

(ii) The IP rights and all associated design and development files will remain within India.

(iii) The eligible applicant may also avail the benefits under the Research, Development, and Innovation (RDI) Scheme.

3.2.5. Fiscal support:

(i) The following shall be the fiscal support and its quantum under this category:

S. No.	Support Structure	#	Eligible applicants	Category of support and its quantum	Mode of support
1	**Design Infrastructure Support (DIS)**	(a)	Indian academic institutions and eligible startups and MSMEs	Centralized access to national EDA Tools grid	Access will be provided to the eligible organizations, as per the terms and conditions of the respective contracts with the vendor companies.
		(b)		Centralized access to Multi-project Wafer (MPW) fabrication services	
		(c)	All eligible applicants as per section 3.2.3 above	IP Cores	
		(d)		Compute Sub-Systems (CSS)	
		(e)		Post-silicon validation services access	
2	**Product Design Linked Incentive (P-DLI)**	(a)	Eligible start-ups/ MSMEs	Seed funding (up to ₹15 crore)	Milestone-linked advance Seed funding amounting to 50% of the project cost or ₹15 crore, whichever is lower, shall be provided per application
				Equity co-investment (beyond ₹15 crore)	Equity co-investment shall be provided to companies that have secured funding from Venture Capital (VC) and/or Private Equity (PE) investors, on terms and conditions similar to those offered by the VC/PE investors
		(b)	**Eligible Companies (**as per section 3.2.3 above**) other than start-ups/ MSMEs**	Royalty financing	Royalty financing shall be provided to the companies on a co-investment basis, subject to the condition that the beneficiary company shall pay a royalty of 5% of net revenue of the product/ technology until an amount equivalent to 1.5 times the financial support extended has been recovered
				Equity co-investment	Equity co-investment shall be provided to the companies that have secured funding from Venture Capital (VC) and/or Private Equity (PE) investors, on terms and conditions similar to those offered by the VC/PE investors

(ii) **Exit option:** The beneficiary company may exit from any of the funding mechanisms, either on its own discretion or upon ceasing to meet the eligibility or other conditions under the Scheme, subject to the following:

(a) **Seed funding or equity co-investment:** Companies that have availed seed funding and/or equity co-investment support may exit by paying an amount equivalent to the aggregate of the seed funding provided and the prevailing market value of the equity held by the Government, or 1.5

times the total financial support provided (including seed funding and equity co-investment), whichever is higher.

(b) Royalty Financing: Companies opting for royalty financing may exit by repaying 1.5 times the financial support provided if the exit occurs within four (4) years from the date of the last disbursement, or two (2) times the financial support provided if the exit occurs beyond four (4) years from the date of the last disbursement.

3.3. Pillar 1 (Design): Category 3: Deployment-Linked Incentive (DLI) for Semiconductor IPs/ Chips/ SoCs for deployment

3.3.1. Objective: To promote the deployment of target segment technologies by mitigating cost disabilities to improve their competitiveness.

3.3.2. Target Segment: Semiconductor Intellectual Property (IP) cores, Chips and System-on-chips (SoCs), which are launched for the first time after the announcement of the scheme and have no prior sales of such products by the applicant prior to the scheme announcement.

3.3.3. Eligibility: Applicants eligible under Categories 1 and 2 of this scheme may submit applications under this Category.

3.3.4. Fiscal support: Reimbursement at the rate of 9% on net sales of target segments for a period of five (5) years, subject to a maximum incentive ceiling of ₹30 crore per application and an aggregate ceiling of ₹120 crore per company (including group companies) across multiple products within the target segments.

3.4. Pillar 2 (Machines and Materials): Category 4: Semiconductor manufacturing ecosystem

3.4.1. Objective: To build a self-reliant and globally competitive semiconductor manufacturing ecosystem and enabling its participation in the global electronics value chains.

3.4.2. Target Segment: Setting up R&D facilities for semiconductor equipment, manufacturing facilities for semiconductor-grade raw materials and Manufacturing and/or Assembly of Capital Equipment/refurbish Equipment, their sub-Assemblies, components for use in semiconductor fabrication and packaging facilities, and Semiconductor Test and characterization Facilities.

3.4.3. Eligibility and Fiscal Support: The applicants are expected to "Own or possess licensed technologies for the proposed unit", except for the Test and characterisation facility.

The eligible sub-verticals, their capital investment threshold and fiscal support from Government of India are listed as below:

S.N.	Eligible Sub-Verticals	Minimum Capital Investment Threshold	Minimum Revenue Threshold (*including Group Companies*) in any of the three FYs preceding the year of application submission	Fiscal support from Government of India
(a)	Setting up R&D facilities for semiconductor equipment	₹300 crore	₹120 crore	30% of Capital Expenditure on pari-passu basis
(b)	Setting up manufacturing facilities for semiconductor grade Raw Materials (Front end/ Back-end), such as, but not limited to, Wafer, Photo mask, Photoresist, Substrate, chemicals, gases, materials, glass for display fab etc.	₹50 crore	₹20 crore	
(c)	Semiconductor Test and characterization Facilities	₹100 crore	₹40 crore	
(d)	Manufacturing and/or Assembly of Equipment/refurbish Equipment, Sub-Assemblies, Components for use in all semiconductor fabrication and packaging facilities	₹300 crore	₹120 crore	30% of Capital Expenditure on pari-passu basis and Production Linked Incentive (PLI) of 10% / 8% / 6% / 4% / 2% of BoM value sourced from

				domestic manufactures. The PLI incentive will be applicable for 5 years starting from FY 2028-29 subject to an overall ceiling of 50% of the eligible capex.

3.5. Pillar 3 (Setting up more Fabs): Category 5: Silicon Semiconductor Wafer Fabs

3.5.1. Objective: To build a globally competitive semiconductor fabrication facility to make India self-reliant and participate in the global electronics value chains.

3.5.2. Target Segment: Setting up Silicon Semiconductor Wafer Fabs

3.5.3. Eligibility and Fiscal Support:

Technology	**Wafer Size**	**Installed Capacity**
	300 mm	40,000 Wafer Starts/ Month or more
Operational Experience	Own or possess production grade licensed technologies for proposed technology process	
Minimum Capital Investment Threshold	Minimum Capital Investment of ₹20,000 crore (₹200 billion)	
Minimum Revenue Threshold	Minimum Revenue of ₹7,500 crore (₹75 billion) (*including Group Companies / Joint Venture*) in any of the three financial years preceding the year of application submission	
Fiscal support from Government of India	**Fiscal support as percentage of eligible capital expenditure**	
	40% on *Pari-passu* basis	

3.6. Pillar 3 (Setting up more Fabs): Category 6: Compound Semiconductors / Photonics / Sensors (including MEMS) Fab / Discrete Semiconductors Fab

3.6.1. Objective: To build a globally competitive semiconductor manufacturing facility across different technologies to make India self-reliant and participate in the global electronics value chains.

3.6.2. Target Segment: Setting up Compound Semiconductors / Photonics / Sensors (including MEMS) Fab / Discrete Semiconductors Fab.

3.6.3. Eligibility and Fiscal Support:

Wafer Size	200 mm or more	Sensor (Including MEMS) Fabs
	150mm or more	Compound Semiconductors and Discrete Fab
	100 mm or more	Fabs for photonics applications
Capacity	500 Wafer Starts / Month or more	
Operational Experience	Own or possess production grade licensed technologies for the proposed technology process	
Minimum Capital Investment Threshold	Minimum Capital Investment of ₹500 crore (₹5 billion)	
Minimum Revenue Threshold	Minimum Revenue of ₹200 crore (₹2 billion) (*including Group Companies / Joint Venture*) in any of the three financial years preceding the year of application submission	
Fiscal support from Government of India	**Fiscal support as percentage of eligible capital expenditure**	
	35% on *Pari-passu* basis	

3.7. Pillar 3 (Setting up more Fabs): Category 7: Display Fabs:

3.7.1. Objective: Build a self-reliant and globally competitive display ecosystem of the target segment and thereby participate in the global electronics value chains.

3.7.2. Target Segment: Setting up of Display Fabs based on technologies including OLED, Micro LED, and LCD.

3.7.3. Eligibility and Fiscal Support:

Technology	**OLED (Generation 6 or above)**
Capacity	30,000 Panels / month or more
Operational Experience	Own or possess production grade licensed technologies for proposed technology process
Minimum Capital Investment Threshold	Minimum Capital Investment of ₹10,000 crore
Minimum Revenue Threshold	Minimum Revenue of ₹5,000 crore (₹50 billion) (*including Group Companies / Joint Venture*) in any of the three financial years preceding the year of application submission
Fiscal support from Government of India	**Fiscal support as percentage of eligible capital expenditure**
	35% on *Pari-passu* basis

Technology	**Micro LED Technology**
Capacity	Panel area of 500 sqm/month or more
Operational Experience	Own or possess production grade licensed technologies for proposed technology process
Minimum Capital Investment Threshold	Minimum Capital Investment of ₹ 1,500 crore
Minimum Revenue Threshold	Minimum Revenue of ₹600 crore (₹6 billion) (*including Group Companies / Joint Venture*) in any of the three financial years preceding the year of application submission
Fiscal support from Government of India	**Fiscal support as percentage of eligible capital expenditure**
	35% on *Pari-passu* basis

Technology	**LCD (Generation 8 or above)**
Capacity	60,000 Panels / month or more
Operational Experience	Own or possess production grade licensed technologies for proposed technology process
Minimum Capital Investment Threshold	Minimum Capital Investment of ₹10,000 crore
Minimum Revenue Threshold	Minimum Revenue of ₹5,000 crore (₹50 billion) (*including Group Companies / Joint Venture*) in any of the three financial years preceding the year of application submission
Fiscal support from Government of India	**Fiscal support as percentage of eligible capital expenditure**
	35% on *Pari-passu* basis

3.8. Pillar 4 (Further strengthening the ATMP/OSAT industry): Category 8: Semiconductor Assembly, Testing, Marking and Packaging (ATMP) / Outsourced Semiconductor Assembly and Test (OSAT) Facility:

3.8.1. Objective: Build a self-reliant and globally competitive semiconductor ATMP/OSAT facility.

3.8.2. Target Segment: Setting up Semiconductor Assembly, Testing, Marking and Packaging (ATMP) / Outsourced Semiconductor Assembly and Test (OSAT) Facility.

3.8.3. Eligibility and Fiscal Support:

Category	**Advanced Packaging (2.5D/3D packaging, Wafer-Level chip scale Packaging, Heterogenous integration) and Advanced Substrate**
Operational Experience	Own or possess production grade licensed technologies for the proposed technology process
Minimum Capital Investment Threshold	Minimum Capital Investment of ₹1000 crore
Minimum Revenue Threshold	Minimum Revenue of ₹200 crore (*including Group Companies / Joint Venture*) in any of the three financial years preceding the year of application submission
	Fiscal support as percentage of eligible capital expenditure

Fiscal support from Government of India	**35%** on *Pari-passu* basis

Category	Legacy Packaging
Operational Experience	Own or possess production grade licensed technologies for the proposed technology process
Minimum Capital Investment Threshold	Minimum Capital Investment of ₹1000 crore
Minimum Revenue Threshold	Minimum Revenue of ₹200 crore (₹2 billion) (*including Group Companies / Joint Venture*) in any of the three financial years preceding the year of application submission
Fiscal support from Government of India	**Fiscal support as percentage of eligible capital expenditure**
	25% on *Pari-passu* basis

3.9. Pillar 5 (Research and Development): Category 9: R&D for advanced semiconductor technologies

3.9.1. Objective: Strengthen the R&D capability in semiconductor and display manufacturing technologies in the country.

3.9.2. Target Segment: Develop technologies, including advanced process technologies for CMOS-based fabrication, Silicon Photonics, display fabrication, chiplet-based technologies for advanced packaging or any other advanced technologies related to semiconductors.

3.9.3. Eligibility: Semiconductor companies, either on their own or in a consortium with academic institutions or R&D organisations, etc.

3.9.4. Fiscal Support: Up to 75% (including State Incentive) of the Project Cost (Capex and Opex), which will include eligible capital expenditure and operational expenditure. This may also include the part funding under the Research, Development, and Innovation (RDI) Scheme, wherever necessary. Proposals will be considered for the fiscal support by the Nodal Agency.

3.9.5. Separate guidelines containing details regarding eligibility criteria, fiscal support, etc. shall be released with the approval of Minister for Electronics and Information Technology.

3.10. Pillar 6 (Talent Development): Category 10: Talent Development

3.10.1. Objective: Develop a robust, multi-tiered semiconductor talent ecosystem in India by nurturing skilled professionals across design, fabrication and packaging domains and related ecosystem, spanning undergraduate, postgraduate, doctoral, and shop-floor level technician/operators, thereby enabling self-reliance, global competitiveness, and sustained innovation in the semiconductor industry.

3.10.2. Target Segment:

(i) Design: To provide access of advance chip design tools, multi-project wafer (MPW) fabrication services, post-silicon validation tools etc. including capacity building projects.

(ii) Manufacturing: Establish and support dedicated training infrastructure and leverage and support existing infrastructure for hands-on training of shop-floor manpower, and strengthen existing national nanofabrication and process laboratories to impart practical, industry-relevant training.

3.10.3. Eligibility: Indian academic institutions, R&D organizations and laboratories, scientific societies, Domestic Training institutions/Organizations.

3.10.4. Fiscal Support: Up to 75% (including State Incentive) of the Project Cost (Capex and Opex), which will include eligible capital expenditure and operational expenditure. Proposals will be considered for the fiscal support by the Nodal Agency.

3.10.5. Separate guidelines containing details regarding eligibility criteria, percentage of fiscal support etc. shall be released with the approval of Minister for Electronics and Information Technology.

4. Project duration: The duration of the projects to be supported under this scheme, shall be determined on project-to-project basis preferably upto 6 years.

5. Application Procedure: The scheme shall be initially open for applications for a period of Three (3) years. The applications are to be submitted through portal of the Nodal Agency during the application window.

6. Nodal Agency

6.1. India Semiconductor Mission (ISM) shall be the Nodal Agency for Semicon 2.0. The Nodal agency may implement the three categories related to design and deployment of IPs/Chips/SoCs with the help of CDAC.

6.2. ISM will be responsible for inviting the applications, carrying out technical and financial appraisal of the applications received under the scheme; recommending selection of applicants; and carrying out other responsibilities as assigned by the Ministry of Electronics and Information Technology from time to time.

6.3. To promote niche developments and the culture of innovation, ISM may announce semiconductor deep tech awards from 2026.

7. Approval of Applicant(s)

7.1. Evaluation by Nodal Agency: The applicant(s) will be evaluated by the Nodal Agency on an ongoing basis. Evaluation will include financial and technical parameters such as process technologies, project implementation capacity, operation capability, offtake etc.

7.2. Upon appraisal/ evaluation, the applications shall be forwarded by the Nodal Agency to Ministry of Electronics and Information Technology.

7.3. The proposal(s) as recommended by the Nodal Agency for semiconductor design categories and Talent development with the project cost less than ₹100 crore will be approved by Secretary, MeitY. Projects costing above ₹100 crore and up to ₹500 crore will be approved by Minister of Electronics and Information Technology. For project cost more than ₹500 crore, the proposal(s) as recommended by the Nodal Agency be placed by Ministry of Electronics and Information Technology for approval by Cabinet.

7.4. For all other categories, the proposal(s) as recommended by the Nodal Agency should be placed by Ministry of Electronics and Information Technology for approval by Cabinet. After the approval is accorded by the Union Cabinet, these will be forwarded by Ministry of Electronics and Information Technology to the Nodal Agency for communication to the applicant(s).

8. Disbursement of Incentives: Ministry of Electronics and Information Technology shall make budgetary provisions for disbursal of fiscal support to approved applicant(s) under the schemes. The disbursement of the fiscal support shall be done by the Nodal Agency based on approval conditions.

9. Impact Assessment: Mid-term appraisal of the schemes shall be done after three years of their implementation or as per requirement to assess the impact of the schemes. Based on such an impact assessment, a decision may be taken to continue/modify the scheme.

10. Scheme Guidelines: The scheme guidelines shall be issued by Ministry of Electronics and Information Technology (MeitY) separately.

11. Amendment of Scheme and Guidelines: The scheme and its guidelines may be reviewed and amended periodically or as per requirement with the approval of Minister of Electronics and Information Technology.

SUSHIL PAL, Jt. Secy.

Uploaded by Dte. of Printing at Government of India Press, Ring Road, Mayapuri, New Delhi-110064
and Published by the Controller of Publications, Delhi-110054.

VINOD KUMAR
Digitally signed by VINOD KUMAR
Date: 2026.08.31 11:07:29 +05'30'